

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-183135

(43)Date of publication of application : 11.08.1987

(51)Int.Cl.

H01L 21/66

(21)Application number : 61-023732

(71)Applicant : HITACHI LTD

(22)Date of filing : 07.02.1986

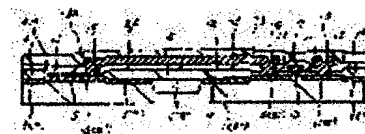
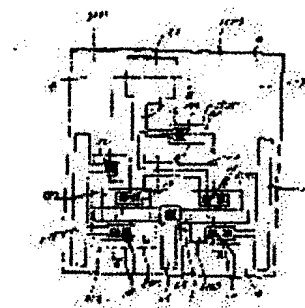
(72)Inventor : ABE MICHIO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To improve the reliability while reducing the number of external electrode as well as the chip size, by providing a testing electrode consisting of a semiconductor region on the principal face of a semiconductor substrate, separately from an external electrode consisting of a metal film, for the purpose of enabling a non-contact probe test.

CONSTITUTION: A conducting layer 13 is extended over an insulation film 12 and connected to a bonding pad 21 consisting of an aluminum layer belonging to the same layer with the conducting layer. An n+ type semiconductor region 15 is provided on the principal face of a semiconductor substrate 1 between P- and N-channel MISFET's and the bonding pad 21. The n+ type semiconductor region 15 is utilized as an electrode for testing operation of the MISFET, where by it is enabled to perform non-contact probe tests. Therefore, the bonding pad 21 can be prevented from damage or breakage which would be caused by contact with a probe of a tester. Further, since the circuit operation can be tested by conducting a non-contact probe test utilizing the n+ type semiconductor region 15A as a testing electrode, the number of bonding pads 21 provided in the semiconductor substrate can be reduced and, therefore, the size of the chip also can be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭62-183135

⑮ Int. Cl.⁴
H 01 L 21/66識別記号 庁内整理番号
7168-5F

④ 公開 昭和62年(1987)8月11日

審査請求 未請求 発明の数 1 (全7頁)

⑬ 発明の名称 半導体集積回路装置

⑭ 特 願 昭61-23732

⑯ 出 願 昭61(1986)2月7日

⑰ 発 明 者 阿 部 道 郎 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1. 金属膜からなる外部電極と、半導体基板の主面に半導体領域からなる試験用電極とを設けたことを特徴とする半導体集積回路装置。
2. 前記外部電極は、アルミニウム層からなるボンディングパッドであることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。
3. 前記半導体領域からなる試験用電極は、電子ビーム又はレーザをその表面に照射して、回路の動作を試験するための電極であることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。
4. 前記半導体領域からなる試験用電極は、前記金属膜からなる複数の外部電極のうち、少なくとも出力用外部電極に接続して設けてあることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路装置に関し、特に、回路動作を試験する技術に関するものである。

〔従来技術〕

半導体集積回路装置は、その最終製造工程において、ボンディングパッドを用いて回路の動作状態が試験される。この試験は一般に、プローブ試験といわれる。すなわち、ウエハ状態のチップ上のパッド(76~100 μ m四方)の夫々に対して、プローブカードに固定された直径25 μ m程度のプローブを接触させて、チップの特性を試験している。このプローブ試験に関する技術は、例えば、日経マイクロヒル社発行「日経エレクトロニクス」1984年7月16日号、p221~p228に記載されている。

〔発明が解決しようとする問題点〕

前記論理LSI、マイコンチップ等のゲート数あるいは集積度の向上は著しく、これに伴ってボンディングパッドの数も増加している。ボンディ

ングパッドの数の増加に伴ってテスターのプローブ数も増加させなければならない。しかし、それぞれのプローブ間の間隔が百数十 μm 程度に狭められており、ボンディングパッドの数の増加に伴ってプローブ数を増加させることが極めて困難になっている。また、プローブ数の増加に伴って、プローブをそれぞれのボンディングパッドに均一な接触圧力で接続することが困難になっているため、プローブ試験の信頼性が悪化する。

本発明の目的は、半導体集積回路装置の信頼性を向上する技術を提供することにある。

本発明の他の目的は、チップの大きさを縮小することが可能な技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにするであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち、代表的なものの特徴を簡単に説明すれば、下記のとおりである。

ン領域である n^+ 型半導体領域であり、酸化シリコン膜からなるゲート絶縁膜5、例えば多結晶シリコン膜からなるゲート電極7とともに前記NチャネルMISFETを構成している。このNチャネルMISFETの近傍の n^+ 型ウエル領域2に、ゲート絶縁膜5、ゲート電極7、ソース、ドレイン領域である p^+ 型半導体領域8とで構成したPチャネルMISFETを設けている。このPチャネルMISFETと前記NチャネルMISFETは、後述する入力バッファ回路又は出力バッファ回路の一部を構成している。回路の接地電位 V_{ss} 例えば0Vを印加するためのアルミニウム層からなる導電層11が、NチャネルMISFETのソース領域である n^+ 型半導体領域6の表面に接続孔10を通して接続している。導電層11とゲート電極7の間は、例えばリンシリケートガラス(PSG)からなる絶縁膜12が絶縁している。PチャネルMISFETのゲート電極7と、NチャネルMISFETのゲート電極7は一体に形成され、所定の上面にアルミニウム層からなる導電層24

金属膜からなる外部電極とは別に、半導体基板の主面部に半導体領域からなる試験用電極を設けたものである。

〔作用〕

上記した手段によれば、無接触プローブ試験ができるので、試験の信頼性が向上する。また、金属膜からなる外部電極の数が低減されるので、チップサイズを縮小することができる。

〔実施例1〕

第1図は半導体集積回路装置(チップ)のボンディングパッド周辺の平面図、第2図は第1図のA-A切斷線における断面図、第3図は第1図のB-B切斷線における断面図である。なお、第1図は半導体集積回路装置の構成を見易くするため、フィールド絶縁膜以外の絶縁膜を図示していない。

第1図乃至第3図において、1は p^+ 型単結晶シリコンからなる半導体基板であり、2は n^+ 型ウエル領域、3は p 型チャネルストップ領域、4は酸化シリコン膜からなるフィールド絶縁膜である。

6はNチャネルMISFETのソース、ドレイ

が接続孔25を通して接続している。NチャネルMISFETのドレイン領域である n^+ 型半導体領域6には、アルミニウム層からなる導電層13が接続孔14を通して接続している。この導電層13は、接続孔19を通してPチャネルMISFETのドレイン領域である p^+ 型半導体領域8にも接続している。PチャネルMISFETのソース領域である p^+ 型半導体領域8に、アルミニウム層からなる電源電位 V_{cc} 例えば5Vを印加するための導電層17が、接続孔18を通して接続している。導電層17は、また n^+ 型ウエル領域2の表面に接続孔20を通して接続している。 n^+ 型ウエル領域9の導電層17が接続している表面に n^+ 型半導体領域9を設けている。

前記導電層13は、絶縁膜12の上を延在してそれと同層のアルミニウム層からなるボンディングパッド21に接続している。

前記入力バッファ回路又は出力バッファ回路の一部を成しているPチャネルMISFET及びNチャネルMISFETと、ボンディングパッド

21の間の半導体基板1の主面にn⁺型半導体領域15を設けている。このn⁺型半導体領域15は、その表面にレーザまたは電子ビームを照射することによって、前記NチャネルMISFET、PチャネルMISFETあるいはそれらが接続されている他のMISFETの動作状態を試験するための電極として使用するものである。n⁺型半導体領域15は、NチャネルMISFETのソース、ドレイン領域であるn⁺型半導体領域6と同一工程で形成したものである。このため、n⁺型半導体領域15の接合の深さは、ソース、ドレイン領域であるn⁺型半導体領域6と同程度になっている。また、その表面には、MISFETのゲート絶縁膜5と同一工程で形成された薄い酸化シリコン膜15が形成されている。n⁺型半導体領域15の周囲はフィールド絶縁膜4によって規定され、また、半導体領域15の表面には、導電層13から引出されるように絶縁膜12上を延在してきた導電層13の一部が、酸化シリコン膜15及び絶縁膜12を選択的に除去してなる接続孔16を通して接続し

ている。n⁺型半導体領域15において、導電層13の半導体領域15に接続している部分の端部13Aからフィールド絶縁膜4の端部4Aまでの長さは、半導体領域15に照射される電子ビームあるいはレーザのスポット径の2倍程度にしてある。n⁺型半導体領域15の上部の酸化シリコン膜15及び絶縁膜12(PSG)、さらに例えばPSGの上に窒化シリコン膜を積層して構成した最終保護膜23は除去していない。つまり半導体領域15の表面は、酸化シリコン膜15、絶縁膜12、最終保護膜23によって覆れており露出していない。半導体領域15の表面が露出していなくとも、電子ビーム、レーザは保護膜23、絶縁膜12、酸化シリコン膜5を透過して半導体領域15の表面に達することができる。なお、n⁺型半導体領域15は試験用電極として使用するものであり、ボンディングワイヤ(図示していない)が接続されることはない。また、試験用電極としての半導体領域15を、PチャネルMISFETのソース、ドレイン領域であるp⁺型半導体領域8と同一工程

で形成するようにしてもよい。この場合、半導体領域15はp⁺型半導体領域15となる。

最終保護膜23は、ボンディングパッド21の上では選択的に除去されて開口22してある。この開口22を通してボンディングワイヤが接続される。

n⁺型半導体領域15からなる試験用電極を設けたことにより、これを用いて無接触プローブ試験が実施できるので、テストのプローブを接触させることによるボンディングパッド21の損傷、破壊をなくすることができる。なお、第1図には、開口22を図示していない。

半導体基板1上における前記n⁺型半導体領域15からなる試験用電極の具体的なレイアウトを第4図に示す。なお、第4図はアルミニウム層からなる配線を実線によって等価的に示している。

第4図に示すように、半導体基板1(チップ)の周辺には、チップの入力端子となるボンディングパッド21Aと、出力端子となるボンディングパッド21Bが複数個ずつ配置されている。それ

ぞれのボンディングパッド21A、21Bには、入力バッファ回路又は出力バッファ回路Buが接続されている。

それぞれの出力用ボンディングパッド21Bと、それに接続されている出力バッファ回路Buの間に前記試験用電極としてのn⁺型半導体領域15を接続している。入力用ボンディングパッド21Aには試験用電極としてのn⁺型半導体領域15を接続していない。これは、プローブ試験において、出力側のボンディングパッド21Bに表れる出力状態、すなわち電源電位Vccレベル例えば5Vレベルであるか、あるいは回路の接地電位Vssレベル例えば0Vレベルであるかはn⁺型半導体領域15にレーザ又は電子ビームを照射することによって検知できるからである。しかし、プローブ試験では、入力側のボンディングパッド21Aに所定の電流を流すので、その電流を無触プローブによって流すことができないため、入力側のボンディングパッド21Aには、試験用電極としてのn⁺型半導体領域15を設けていない。

このように、回路の出力側に n^+ 型半導体領域15を接続し、これによって無接触プローブ試験を併用することにより、有接触プローブ試験に必要なプローブが入力ボンディングパッド21Aに接続されるもののみとなり、プローブの間隔を広げることができる。また、出力側のプローブが不要となり、プローブ全体の数が低減される。

26はPチャネルMISFET、NチャネルMISFET等を使って複数の論理ゲートが構成されている論理回路ブロックであり、半導体基板1上に複数設けてある。論理回路ブロック26内の複数の回路のそれぞれは、その入力側が入力用ボンディングパッド21Aに接続され、出力側が出力用ボンディングパッド21Bに接続されている。しかし、プローブ試験では、ボンディングパッド21A、21Bに流れる信号レベルのみならず、入力用ボンディングパッド21Aから出力用ボンディングパッド21Bに至るまでの回路のうち途中の一部の回路の動作状態も試験している。これらボンディングパッド21A、21Bに直接接続

動作状態を無接触プローブによって試験することにより、半導体基板1の周辺に配置されるアルミニウム電極、すなわちボンディングパッド21の数が減少する。また、有接触プローブ試験のためのプローブ数が減少する。

以上、本実施例によれば、次の効果を得ることができる。

(1) 半導体領域からなる試験用電極を設け、これを用いて無接触プローブ試験を行うことにより、少くとも出力側のボンディングパッド21Bが損傷、破壊されることがなくなり、ボンディングパッド21Bの信頼性、ボンディングパッド21Bとそれに接続されるボンディングワイヤの接続の信頼性が向上する。

(2) 少なくとも、出力側のボンディングパッド21Bに半導体領域15からなる試験用電極を接続し、これを使って無接触プローブ試験を実施することにより、有接触プローブ試験のためのテストのプローブ数を低減することができる。

(3) 前記(2)により、有接触プローブ試験に

されていない回路の動作状態を試験するため、 n^+ 型半導体領域からなる試験用電極15Aを複数論理回路ブロック26に接続している。試験用電極15Aである n^+ 型半導体領域は、第1図乃至第3図に示した n^+ 型半導体領域15と同様の構成になっている。論理回路ブロック26に接続される試験用電極15Aは、100～200個に及ぶ。この論理回路ブロック26の途中の動作状態を、アルミニウム層からなる電極に金属針(プローブ)を接触させて試験する有接触プローブ試験で試験したのでは、そのためのアルミニウム層からなる電極、すなわちボンディングパッド21をチップ周辺に100～200個配置しなければならない。このため、有接触プローブ試験用のプローブが著しく増加するとともに、プローブ間隔も著しく狭められる。あるいは、論理回路ブロック26内のMISFET等は微細化が進んでいるのにも係わらず、ボンディングパッド21の数が増大するため、チップのサイズを大きくしなければならない。しかし、論理回路ブロック26内の途中の回路の

おけるプローブを均一に接触することが容易になるので、プローブ試験の信頼性の向上を図ることができ、したがって半導体集積回路装置の信頼性の向上を図ることができる。

(4) 論理回路ブロック26内の回路動作の試験を n^+ 型半導体領域15Aを用いた無接触プローブ試験によって行うことにより、半導体基板1(チップ)に設けられるボンディングパッド21の数が少くなるので、チップサイズを小さくできる。

〔実施例Ⅱ〕

第5図は実施例における半導体基板1、すなわちチップの平面図である。なお、本実施例ではアルミニウム層からなる配置を実線によって示している。

実施例Ⅱは、実施例Ⅰにおいて論理回路ブロック26に接続した n^+ 型半導体領域からなる試験用電極15Aを半導体基板1上に規則的に配置して、プローブ試験時におけるその試験用電極15Aの検出を容易にしたものである。

第5図に示すように、半導体基板1は、論理回

路ブロック26全体で100〜200個程度の複数の n 型半導体領域からなる試験用電極26を備えているが、それら複数の試験用電極15Aを半導体基板1上の一部に規則的に集中して配置している。つまり、いずれかの論理回路ブロック26に接続している複数の試験用電極26のそれぞれをバッファ回路Buの内側の近傍、すなわちボンディングパッド21A、21Bと反対側の半導体基板1上に、バッファ回路Buの配列方向と同一方向に配列している。このように、複数の試験用電極15Aを規則制を持たせて配置することにより、それら複数の試験用電極15Aの中の所定の試験用電極15Aをプローブ試験時に容易に見出すことができる。したがって、プローブ試験に要する作業時間が短縮される。

なお、試験用電極15Aの配置は、バッファ回路Buの配列方向と同一方向に直線的に配置しなければならないというものではなく、マトリックス状に配置してもよい。また、試験用電極15Aを設ける位置は、バッファ回路Buの内側の近傍

に限られたものではなく、論理回路ブロック26の間、あるいは半導体基板1の角部、すなわちバッファ回路Buより外側のボンディングパッド21の近傍の角部に集中的に配置してもよい。試験用電極15Aを半導体基板1上のどこに配置するかは任意である。

以上、本発明を実施例にもとずき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変形可能であることはいうまでもない。

例えば、全てのボンディングパッド21に対応して半導体領域15からなる試験用電極を設けてもよい。これは、特にレーザを用いた無接触プローブ試験において有効である。

また、全てのプローブ試験を領域15を用いた無接触試験で行ってよい。

〔発明の効果〕

本願によって開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

すなわち、無接触プローブ試験と有接触プローブ試験を併することにより、有接触プローブ試験におけるテスターのプローブ数が少くなるので、プローブ試験の信頼性が向上するとともに、ボンディングパッドの数が少くなるので、チップサイズを小さくすることができる。

4. 図面の簡単な説明

第1図は半導体基板のボンディングパッド近辺の平面図、

第2図は第1図のA-A切断線における断面図、

第3図は第1図のB-B切断線における断面図である。

第4図は実施例Iのチップ全体の平面図、

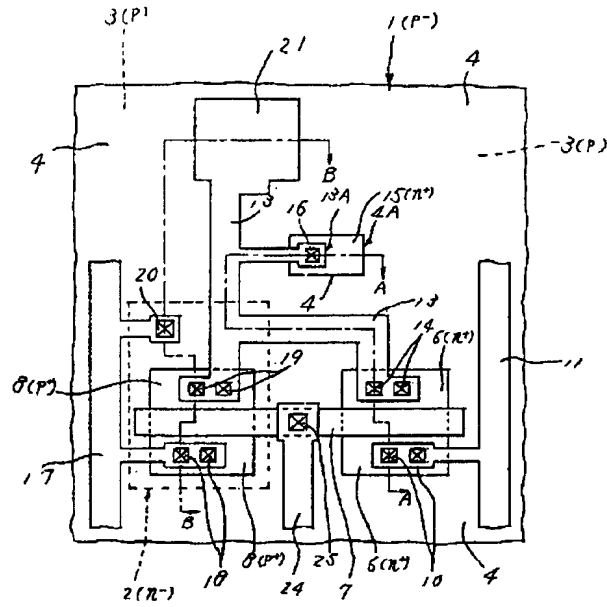
第5図は実施例IIのチップ全体の平面図である。
15、15A…レーザ、電子ビームを用いた無接触プローブ試験のための半導体領域である。

1…半導体基板、2… n 型ウエル領域、3…チャネルストップ領域、4…フィールド絶縁膜、5、12、23…絶縁膜、6、8…ソース、ドレイン領域、7、11、13、17、24…導電層、

9…ウエル領域2の表面の n 型半導体領域、10、14、16、18、19、20、25…接続孔、21、21A、21B…ボンディングパッド、22…ボンディングパッド21上の開口、Bu…バッファ回路。

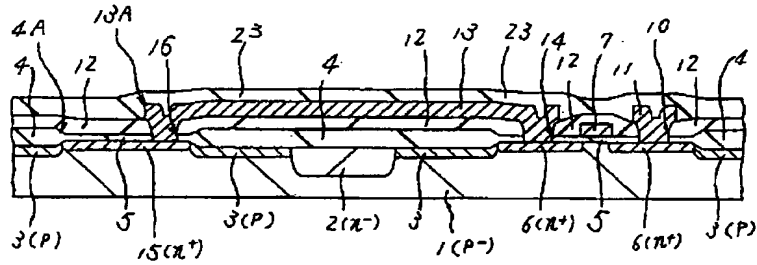
代理人 弁理士 小川勝男

第 1 図

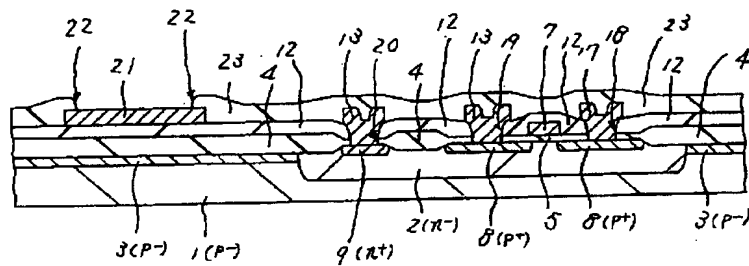


15 — n⁺型半導体領域であり、レーザ又は電子ビームによる無接触プローブ試験の電極となる。

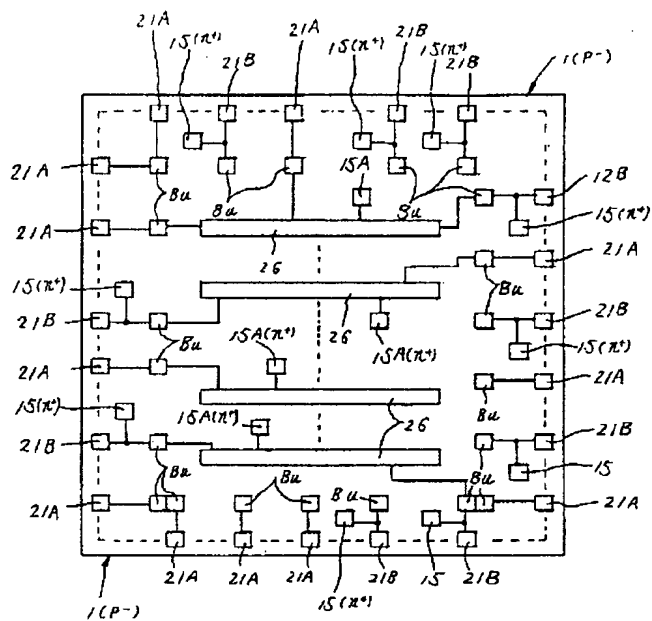
第 2 図



第 3 図



第 4 回



第 5 章

